

# 研究報告

2015/05/15 M2 厚田耕佑

## 実施内容

FPGA 12(火), 14(木)

連続データ内に含まれる歪みを解消するために、いくつかのサンプリングクロックを用いて連続データ取得を行った。データの歪みは全て、線形に増加する1MHzのTTL入力のカウント数を見ることにより評価した。

連続でデータを取得する際に、下図のような歪が現れることがあった。これは、データのつまりによるものであると考えられ、サンプリングクロックやFIFOで一度に送るデータ数などに依存するものであるため、サンプリング数および一度に送るデータ数を変更したものを表1に示す。

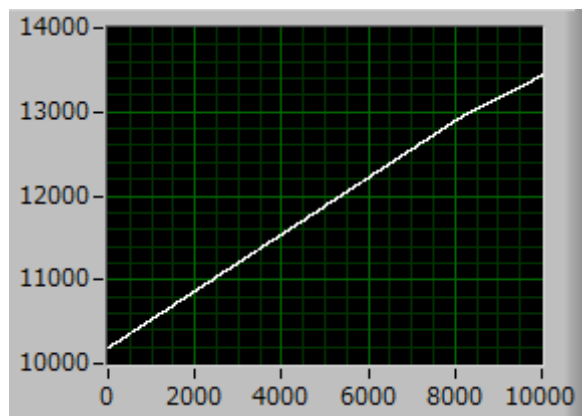


Fig.1 データ歪み

Table.1

Data#\Samp[MHz]	16	10	8	4	2.5(最小)
10000	×	×	△	○	○
5000	×	×	△	○	○
1000	-	×	×	-	-

10MHz以上ではタイムアウトが起こっているため、8MHzでもタイムアウトは表示されていないが、データの歪みが起こっている可能性があると考えられる。一方で、データ数による変化が見られなかったことから、サンプリングクロックの影響が大きいと考えられる。

今後の予定

FPGA：生データ取得、イメージデータ取得など